

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-050988

(43)Date of publication of application : 20.02.1998

(51)Int.Cl.

H01L 29/78  
H01L 21/336

(21)Application number : 08-201449

(71)Applicant : SHARP CORP

(22)Date of filing : 31.07.1996

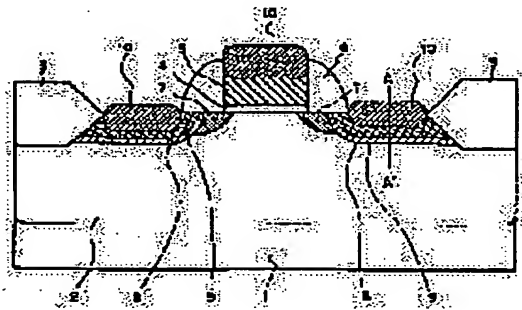
(72)Inventor : HAYASHIDA SHIGEKI  
KAKIMOTO SEIZO

## (54) INSULATED GATE TYPE FIELD EFFECT TRANSISTOR AND FABRICATION THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain an insulated gate type field effect transistor in which deterioration of hot carrier suppression and increase of short channel effect, junction capacity or reverse short channel effect are suppressed as the gate length decreases.

**SOLUTION:** The insulated gate type field effect transistor has a gate electrode 5, an insulated gate film 4, a first conductivity type channel region and a second conductivity type source/drain region 8 formed on a substrate. The source/drain region 8 contains first conductivity type impurities 9 having a peak concentration therein. The concentration of the first conductivity type impurities 9 in the source/drain region 8 is higher than that in the substrate and the channel but lower than the concentration of second conductivity type impurities in the source/drain region 8.



### LEGAL STATUS

[Date of request for examination]

22.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-50988

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/336			H 0 1 L 29/78	3 0 1 S 3 0 1 L 3 0 1 H

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平8-201449

(22) 出願日 平成 8 年(1996) 7 月31日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 林田 茂樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 柿本 誠三

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

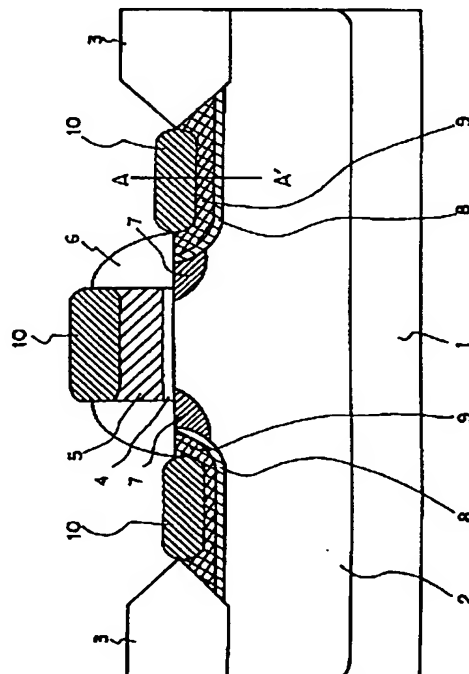
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 絶縁ゲート型電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 絶縁ゲート型電界効果トランジスタはゲート長が短くなるにつれて、ホットキャリア抑制が劣化、短チャネル効果の増大、接合容量の増大、また逆短チャネル効果を増大などの問題が生じてきた。

【解決手段】 上記問題を解決するため、基板上にゲート電極5と絶縁ゲート膜4と第1の導電型のチャネル領域と第2の導電型のソース/ドレイン領域8を有する絶縁ゲート型電界効果トランジスタにおいて、前記ソース/ドレイン領域8内に第1の導電型の不純物9を含有し、前記第1の導電型の不純物は前記ソース/ドレイン領域内にピーク濃度を有し、前記ソース/ドレイン領域内における前記第1の導電型の不純物の濃度は、ソース/ドレイン領域外の前記基板及び前記チャネルに含有される第1の導電型の不純物濃度より高濃度であり、且つ、前記ソース/ドレイン領域内の第2の導電型の不純物濃度より低濃度である絶縁ゲート型電界効果トランジスタを提供する。



## 【特許請求の範囲】

【請求項1】 第1の導電型の基板に形成された第2の導電型のソース／ドレイン領域を有する絶縁ゲート型電界効果トランジスタにおいて、

前記ソース／ドレイン領域に第1の導電型の不純物を含有し、

前記ソース／ドレイン領域内に前記第1の導電型の不純物の濃度ピークがあり、

前記第1の導電型の不純物の濃度は、ソース／ドレイン領域外の前記基板及び前記チャネル領域に含有される第1の導電型の不純物濃度より高濃度であり、且つ、前記ソース／ドレイン領域内の第2の導電型の不純物濃度より低濃度であることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項2】 チャネル領域とソース／ドレイン領域に隣接し、前記チャネルと前記ソース／ドレイン領域の間に形成され、前記ソース／ドレイン領域の第2の導電型の不純物濃度より低い濃度の第2の導電型の不純物を含有したLDD領域を有した絶縁ゲート型電界効果トランジスタにおいて、

前記LDD領域に第1の導電型の不純物を含有し、

前記LDD領域内に第1の導電型の不純物の濃度ピークがあり、

前記LDD領域内の第1の導電型の不純物の濃度は、LDD領域外の前記基板及び前記チャネルに含有される第1の導電型の不純物の濃度より高濃度であり、且つ、前記LDD領域内の第2の導電型の不純物の濃度より低濃度であることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項3】 前記絶縁ゲート型電界効果トランジスタがnMOSトランジスタであり、前記第1の導電型の不純物がボロンであることを特徴とする請求項1乃至2に記載の絶縁ゲート型電界効果トランジスタ。

【請求項4】 前記絶縁ゲート型電界効果トランジスタがnMOSトランジスタであり、前記第1の導電型の不純物がインジウムであることを特徴とする請求項1乃至2に記載の絶縁ゲート型電界効果トランジスタ。

【請求項5】 前記第1の導電型の基板上にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極上及び前記第1の導電型の基板上に、絶縁膜を形成する工程と、

前記絶縁膜を異方性エッチングすることによって、前記ゲート電極の側壁部に側壁絶縁膜を形成する工程と、

前記ソース／ドレイン領域が形成されるべき領域に、第1の導電型の不純物をイオン注入する工程と、

前記ソース／ドレイン領域に第2の導電型の不純物をイオン注入し、ソース／ドレインを形成する工程と、

前記第1、2の導電型の不純物の活性化及びイオン注入の際の結晶欠陥回復のための熱処理を行う工程を有する

ことを特徴とする請求項1に記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項6】 前記第1の導電型の基板上にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極上及び前記第1の導電型の基板上に、絶縁膜を形成する工程と、

第1の導電型の不純物をゲート電極をマスクとしてイオン注入する工程と、

第2の導電型の不純物をイオン注入を行い、LDD領域を形成する工程と、

前記ゲート電極上及び前記基板上に絶縁膜を形成する工程と、

前記絶縁膜を異方性エッチングすることによって、前記ゲート電極の側壁部に側壁絶縁膜を形成する工程と、

前記ソース／ドレイン領域に第2の導電型の不純物をイオン注入し、ソース／ドレインを形成する工程と、

前記第1、2の不純物の活性化及びイオン注入の際の結晶欠陥回復のための熱処理を行う工程を有することを特徴とする請求項2に記載の絶縁ゲート型電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、絶縁ゲート型電界効果トランジスタに関し、特に、短チャネル効果を抑制した絶縁ゲート型電界効果トランジスタに関する。

## 【0002】

【従来の技術】 近年、半導体集積回路に主に使われている絶縁ゲート型電界効果トランジスタは、より小型で高速なトランジスタが求められており、トランジスタ素子の更なる微細化が行われている。しかし、トランジスタ素子の微細化に伴い、チャネル長が短くなることでゲートの担う空乏層電荷の全空乏層電荷に対する割合が小さくなるため、しきい値電圧の低下、サブスレッショルド特性の劣化、パンチスルーなどの短チャネル効果が生じる。特に、nMOSトランジスタにおいて、ソース／ドレインの高濃度不純物領域として $^{75}\text{As}^+$ を高濃度注入をp型基板に行っているが、このために不純物注入領域に結晶欠陥が生じ、ソース／ドレイン領域の近傍にp型基板に含まれる $^{11}\text{B}^+$ がその結晶欠陥に偏析し、その結果ソース／ドレインの $\text{n}^+/\text{p}$ 接合近傍の $^{11}\text{B}^+$ 濃度が減少する、いわゆるB-depletion現象が生じる。このため、ソース／ドレイン接合の空乏層が大きくなるので、ゲート長が短くなるに従い、短チャネル効果が生じやすくなる。これを防ぐ為、一般的にLDD領域(Lightly Doped Drain)を囲むように基板の $^{11}\text{B}^+$ 濃度を高める方法が行われている。以下、従来のnMOSトランジスタの作製方法を図11～図13に示す。

【0003】 まず、シリコン基板91にpウェル92、

素子分離膜93、ゲート絶縁膜94を形成後、多結晶シリコンを約1500Å程度積層し、フォトエッチング工程によりゲート電極95を形成する。ここまでのnMOSトランジスタの工程断面図を図11(a)に示す。

【0004】次に、薄い絶縁膜96を堆積した後、イオン注入法により例えば $^{75}\text{As}^+$ イオンを注入してLDD領域97を形成する。ここまでのnMOSトランジスタの工程断面図を図11(b)に示す。

【0005】引き続き、 $^{11}\text{B}^+$ を $20\sim60^\circ$ の大傾斜角注入することによって、低濃度不純物領域となるp型半導体領域98をLDD領域97を囲むように形成する。ここまでの工程断面図を図11(c)に示す。

【0006】次に、厚い絶縁膜99を150nm程度積層する。ここまでの工程断面図を図12(d)に示す。

【0007】次に、異方性エッチングを用いたエッチングにより、ゲート電極の側壁に側壁酸化膜100を形成する。ここまでの形成工程を図12(e)に示す。

【0008】さらに、 $^{75}\text{As}^+$ イオン注入法により、上述したLDD領域への $^{75}\text{As}^+$ のイオン注入量よりも高濃度に、 $80\text{keV}$ 、 $3\times 10^{15}\text{cm}^{-2}$ 注入し、ソース／ドレイン領域101の形成及びゲート電極に $n^+$ をドーピングする。ここまでの工程断面図を図12(f)に示す。

【0009】次に、LDD領域97、ソース／ドレイン領域101及びゲート電極の $n^+$ の活性化及び結晶欠陥回復のためのアニールを、窒素雰囲気中で $850^\circ\text{C}$ 、10分間アニール、あるいは $1000^\circ\text{C}$ で20秒RTA(Rapid thermal anneal)で行う。ここまでの形成工程を図13(g)に示す。

【0010】次に、高融点金属膜をスパッタリングの手法によって堆積し、2ステップRTA法の熱処理工程を経て、自己整合的にサリサイド102を形成する。以上の工程で、絶縁ゲート型電界効果トランジスタが形成され、その断面図を図13(h)に示す。

【0011】

【発明が解決しようとする課題】しかしながら、上述の製造方法は、チャンネルと同導電型の不純物を注入してLDD領域を囲むように低濃度不純物領域を形成するために、以下の問題が生じる。

【0012】LDD領域を囲むように第1の不純物を注入した低濃度不純物領域が存在するため、特に、ドレイン領域近傍の電界が強くなり、ホットキャリア耐性が悪くなるという第1の問題がある。

【0013】また、ゲート長がより短くなるに従い、低濃度不純物領域の不純物がチャンネル領域の高濃度不純物領域のしきい値に及ぼす影響が大きくなっていくので、しきい値電圧が高くなる逆短チャンネル効果を引き起こすという第2の問題がある。

【0014】また、 $^{11}\text{B}^+$ は $^{75}\text{As}^+$ より拡散が早い為、ソース／ドレイン領域下部にボロン濃度の高い領域が形

成され、ソース／ドレイン接合容量が大きくなり、回路スピードの低下や消費電力の増大をもたらし、また、移動度劣化による駆動力の減少という第3の問題がある。

【0015】以上の第1、第2、第3の問題を解決する絶縁ゲート型電界効果トランジスタを提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の絶縁ゲート型電界効果トランジスタは、前記ソース／ドレイン領域に第1の導電型の不純物を含有し、前記第1の導電型の不純物の濃度は、ソース／ドレイン領域外の前記基板及び前記チャンネル領域に含有される第1の導電型の不純物濃度より高濃度であり、且つ、前記ソース／ドレイン領域内の第2の導電型の不純物濃度より低濃度であることを特徴とする。

【0017】また、LDD領域を有した前記絶縁ゲート型電界効果トランジスタにおいて、前記LDD領域に前記第1の導電型の不純物を含有し、前記第1の導電型の不純物の濃度は、ソース／ドレイン領域外の前記基板及び前記チャンネル領域に含有される第1の導電型の不純物濃度より高濃度であり、且つ、前記LDD領域内の第2の導電型の不純物濃度より低濃度であることを特徴とする。特に、前記絶縁ゲート型電界効果トランジスタがnMOSトランジスタであり、前記第1の導電型の不純物がボロンである時、良好な特性の絶縁ゲート型電界効果トランジスタが得られる。

【0018】あるいは、前記絶縁ゲート型電界効果トランジスタがnMOSトランジスタであり、前記第1の導電型の不純物がインジウムであっても構わない。

【0019】また、本発明の請求項1の絶縁ゲート型電界効果トランジスタの製造方法は、ゲート絶縁膜とゲート電極を形成する工程と、第2の導電型の不純物をイオン注入法で注入を行い、LDD領域を形成する工程と、前記ゲート電極及び前記基板に絶縁膜を形成する工程と、前記絶縁膜を異方性エッチングすることによって、前記ゲート電極の側壁部に側壁絶縁膜を形成する工程と、前記ソース／ドレイン領域が形成される領域に、第1の導電型の不純物をイオン注入する工程と、前記ソース／ドレイン領域に第2の導電型の不純物をイオン注入する工程と、前記第1、2の不純物の活性化及びイオン注入の際の結晶欠陥回復のための熱処理を行う工程を有することを特徴とする。

【0020】また、請求項2の絶縁ゲート型電界効果トランジスタの製造方法は、ゲート絶縁膜とゲート電極を形成する工程と、前記ゲート電極及び前記基板に絶縁膜を形成する工程と、第1の導電型の不純物をイオン注入法で注入する工程と、第2の導電型の不純物をイオン注入法で注入を行い、LDD領域を形成する工程と、前記ゲート電極及び前記基板に絶縁膜を形成する工程と、前記絶縁膜を異方性エッチングすることによって、前記ゲ

ート電極の側壁部に側壁絶縁膜を形成する工程と、前記ソース／ドレイン領域に第2の導電型の不純物をイオン注入する工程と、前記第1、2の不純物の活性化及びイオン注入の際の結晶欠陥回復のための熱処理を行う工程を有することを特徴とする。

#### 【0021】

##### 【発明の実施の形態】

(実施の形態1) 本発明に係るnチャネル絶縁ゲート型電界効果トランジスタの構造を図1に示す。本発明に係るnチャネル絶縁ゲート型電界効果トランジスタはシリコン基板1に、pウエル2と素子分離膜3を形成されている。また、ゲート絶縁膜4が形成され、その上にゲート電極となる多結晶シリコン膜5を150nmの膜厚で形成されている。多結晶シリコン膜5の膜厚は $75\text{Å}$ の注入してゲート電極を $n^+$ ドーピングする際にゲート絶縁膜が空乏化を起こさず、且つ、ゲート絶縁膜を突き抜けない程度の膜厚である100nmから200nm程度が望ましい。また、ゲート電極側壁膜6は、LDD領域を充分確保するために膜厚を50～200nmとした。ゲート電極側壁膜6の下にLDD領域7がイオン注入法によって形成されている。また、符号8、9の両方でソース／ドレイン領域であり、符号9はソース／ドレイン領域8、9内に形成されたボロン濃度の高い領域(以下、ボロン高濃度領域と記す。)である。この領域を形成するのに、特に、ボロンである必要はなく、Inのようなボロンと同導電型であればよい。Inを用いた場合には、ボロンに比べて原子量が大きく、注入飛程及び拡散係数が小さいため、第1の導電型の不純物を注入する際、分布の広がりが小さくなるので濃度プロファイルの制御が容易である。

【0022】また、ソース／ドレイン領域の上にソース／ドレイン電極となるシリサイド膜10と多結晶シリコン膜上にゲート電極となるシリサイド膜10を自己整合で形成した。

【0023】図1に示す構造の断面A-A'におけるチャネル、ソース／ドレイン領域におけるボロンと砒素とネットドーピングの濃度プロファイルを図2に示す。図2から分かるようにソース／ドレイン領域9内に形成されたボロン濃度のピーク位置がシリコン基板表面から約50nm、ピーク濃度が $2 \times 10^{19}\text{cm}^{-3}$ とした。ボロン濃度のピーク位置は、ソース／ドレイン領域形成を行うイオン注入によって生じる欠陥の極近傍で欠陥より浅い位置である。

【0024】また、砒素濃度のピーク濃度が $7 \times 10^{20}\text{cm}^{-3}$ 、接合深さが約100nmであり、pウエル2のボロン濃度が $1 \times 10^{17}\text{cm}^{-3}$ である。

【0025】本発明と比較のため、チャネルだけの濃度プロファイルを図3に示す。ネットドーピングがSi基板からの距離が約100nm以上から図2に示す濃度プロファイルとほぼ同じになっている。この比較から、本

発明の絶縁ゲート型電界効果トランジスタは、ボロンがソース／ドレイン領域でピーク濃度を有し、ソース／ドレイン領域外の基板やチャネル濃度を従来の絶縁ゲート型電界効果トランジスタに対して著しく変化させることなく形成していることが分かる。ソース／ドレイン中のBが欠陥を埋める為、アニールを行った時、チャネルの不純物はソース／ドレインへ増速拡散しない。これによりB-depletionを抑制できる。従って、B-depletionによる $n^+/p$ 接合近傍のボロンの基板濃度低減を防ぎ、短チャネル効果を抑制することが可能となり、且つ、従来法に比べホットキャリア耐性を劣化させることなく、また逆短チャネル効果及び接合容量増大を抑制することができる。

【0026】本実施の形態では、nチャネルMOSトランジスタを用いたが、pチャネルMOSトランジスタを用いてもよい。その場合、注入するイオンの導電型はすべて逆とする。

【0027】(実施の形態2) 図4は本発明に係るnチャネル絶縁ゲート型電界効果トランジスタの構造を示す図である。図1と同一部分には、同一符号を付す。LDD領域7内にボロン濃度のピークを有するボロン高濃度領域11を有することを特徴とする。(ボロン高濃度領域11もLDD領域の一部である。)実施の形態1と同様にボロン高濃度領域11に注入される不純物は、ボロンには限らずボロンと同導電型の例えばInでもよい。本実施の形態のようにLDD領域7にボロン高濃度領域11を設けることによってより特性の良好な絶縁ゲート型電界効果トランジスタが得られる。

【0028】また、図4に示す断面構造のB-B'におけるボロン、砒素、ネットドーピングの濃度プロファイルを図5に示す。図5から分かるようにLDD領域7内に形成されたボロン濃度のピーク位置がシリコン基板表面から約25nm、ピーク濃度が $2 \times 10^{19}\text{cm}^{-3}$ とした。また、砒素濃度のピーク濃度が $8 \times 10^{19}\text{cm}^{-3}$ 、接合深さが約70nmであり、pウエルのボロン濃度が $1 \times 10^{17}\text{cm}^{-3}$ である。LDD領域の接合深さはソース／ドレイン領域よりも浅く、濃度はトランジスタの駆動力を確保できる程度に設定した。

【0029】本発明の絶縁ゲート型電界効果トランジスタは、ボロンがLDD領域7においてもピーク濃度を有し、LDD領域外の基板やチャネル濃度を従来の絶縁ゲート型電界効果トランジスタに対して変化させることなく形成している。従って、ソース／ドレイン中のBが欠陥を埋める為、アニールを行った時、チャネルの不純物はソース／ドレインへ増速拡散しない。これによりB-depletionを抑制できる。そのため、B-depletionによる $n^+/p$ 接合近傍のボロンの基板濃度低減を防ぎ、短チャネル効果を抑制することが可能となり、且つ従来法に比べホットキャリア耐性を劣化させることなく、また逆短チャネル効果及び接合容量増大

を抑制することができる。

【0030】また、LDD領域は基板表面から浅く形成する必要があるため、 $^{75}\text{As}^+$ の注入により誘起された結晶欠陥にボロンが引き連れられて偏析し易く、チャネル及び基板のボロン濃度の減少による影響が大きい。そのため、本発明の絶縁ゲート型電界効果トランジスタがより有効となる。

【0031】（実施の形態3）図6～図8に実施の形態1に示した構造のnチャネル絶縁ゲート型電界効果トランジスタの製造方法を示す。

【0032】シリコン基板1上に、pウェル2、素子分離膜3としてフィールド酸化膜、ゲート絶縁膜4を公知の手法にて形成する。このゲート絶縁膜4は通常の酸化膜のほか $\text{N}_2\text{O}$ を用いた低窒素濃度の窒化酸化膜でもよい。その上に、多結晶シリコン膜5を通常用いられる方法で積層し、フォトリソグラフィとドライエッチング工程によりゲート電極を形成する。この工程での構造の断面図を図6(a)に示す。

【0033】次に、シリコン窒化膜12を5～20nm程度積層する。このシリコン窒化膜6は、最後に自己整合メタルシリサイドを行わないのであれば、他の絶縁膜でもよい。この工程での構造の断面図を図6(b)に示す。

【0034】次に、 $^{75}\text{As}^+$ をイオン注入法により、20～30keV、 $1\sim5\times10^{14}\text{cm}^{-2}$ 程度注入し、LDD領域7を形成する。このLDD領域形成には、 $^{31}\text{P}^+$ を注入して形成しても構わないが、短チャネル効果改善のための浅接合化と寄生抵抗低減のためには、 $^{75}\text{As}^+$ が好ましい。また、ソース/ドレイン領域より浅く形成するように条件を選択しなければならない。この工程での構造の断面図を図6(c)に示す。

【0035】次に、ゲート電極側壁膜を形成するために酸化膜13を70～250nm程度堆積する。この工程での構造の断面図を図7(d)に示す。

【0036】次に、酸化膜13を異方性のドライエッチングにてエッチバックを行い、ゲート電極側壁膜6を形成し、続いて5～20nmのシリコン窒化膜14を堆積する。このシリコン窒化膜14も最後に自己整合メタルシリサイド工程を行わないならば、他の絶縁膜でもよい。次に、シリコン窒化膜14を介して、 $^{11}\text{B}^+$ をイオン注入法により、5～15keV、 $3\times10^{12}\sim1\times10^{14}\text{cm}^{-2}$ 程度注入し、ボロン高濃度領域9を形成する。この時、注入するイオンは $^{11}\text{B}^+$ だけではなく、ボロンと導電型の不純物であればよく、例えば $^{49}\text{BF}_2^+$ を15keV～65keV、あるいは $^{115}\text{In}^+$ を30keV～90keVの注入エネルギーで注入してもよい。この際、次に形成するソース/ドレイン領域よりもピーク濃度が浅い領域にあり、ソース/ドレイン領域外における基板及びチャネルの濃度よりも高濃度で、且つ、ソース/ドレイン領域外のチャネル領域のボロン濃度がほと

んど変化しないような注入条件を選ぶ必要がある。この工程での構造の断面図を図7(e)に示す。

【0037】次に、 $^{75}\text{As}^+$ イオン注入法により、例えば40～80keV、 $1\times10^{14}\text{cm}^{-2}$ 程度注入し、ソース/ドレイン領域8を形成する。ソース/ドレイン領域8の形成が先で、ボロン高濃度領域9が後でも構わない。この工程での構造の断面図を図7(f)に示す。

【0038】続いて、LDD領域7、ボロン高濃度領域9及びソース/ドレイン領域8を活性化及び注入ダメージの除去のため、1000℃、10秒の急速熱処理を行った。この工程での構造の断面図を図8(g)に示す次に、シリコン窒化膜14を逆スパッタリングして除去し、高融点金属としてTiを約35nm程度堆積して、熱処理によりTiSi<sub>2</sub>を形成し、ゲート電極側壁膜上の未反応のTiをウェットエッチングにより除去し、安定化のための熱処理を経てメタルシリサイド10を形成する。この工程での構造の断面図を図8(h)に示す。

【0039】以上の工程により実施の形態1に示す構造のトランジスタを形成することが可能であり、ソース/ドレイン領域内にボロンのピーク濃度を有し、ソース/ドレイン領域外の基板やチャネル濃度を従来の絶縁ゲート型電界効果トランジスタに対して変化させることなく形成しており、ソース/ドレイン中のBが欠陥を埋める為、アニールを行った時、チャネルの不純物はソース/ドレインへ増速拡散しない。これによりB-depletionを抑制できる。そのため、B-depletionによるn<sup>+</sup>/p接合近傍のボロンの基板濃度低減を防ぎ、短チャネル効果を抑制することが可能となり、且つ、従来法に比べホットキャリア耐性を劣化させることなく、また逆短チャネル効果及び接合容量増大を抑制することができる。

【0040】（実施の形態4）図9に実施の形態2に示した構造のnチャネル絶縁ゲート型電界効果トランジスタの製造方法を示す。ゲート電極形成後、シリコン窒化膜11を堆積する工程、図6(b)までは実施の形態3と同様に行う。

【0041】次に、シリコン窒化膜12を介して、 $^{11}\text{B}^+$ をイオン注入法により、5～10keV、 $3\times10^{12}\sim5\times10^{13}\text{cm}^{-2}$ 程度注入し、ボロン高濃度領域9を形成する。この時、注入するイオンは $^{11}\text{B}^+$ だけではなく、ボロンと導電型の不純物であればよく、例えば $^{49}\text{BF}_2^+$ を20keV～45keV、あるいは $^{115}\text{In}^+$ を30～70keVの注入エネルギーで注入してもよい。この際、後ほど形成するソース/ドレイン領域よりもピーク濃度が浅い領域にあり、ソース/ドレイン領域外における基板及びチャネルの濃度よりも高濃度で、且つ、ソース/ドレイン領域外のチャネル領域のボロン濃度がほとんど変化しないような注入条件を選ぶ必要がある。この工程での構造の断面図を図9(a)に示す。

【0042】次に、 $^{75}\text{As}^+$ イオン注入法により、例え

ば20~30keV、 $1\sim5\times10^{14}\text{cm}^{-2}$ 程度注入し、LDD領域7を形成する。LDD領域7の形成が先で、ボロン高濃度領域9の形成が後でも構わない。LDD領域のAs濃度の方がボロン高濃度領域のボロン濃度よりも高くなっている。この工程での構造の断面図を図9(b)に示す。

【0043】以下、実施の形態3に記載の方法で、ソース/ドレイン領域の形成等を行い、実施の形態2に示した絶縁ゲート型電界効果トランジスタが形成することができる。

【0044】LDD領域へのボロン注入だけで、短チャネル効果が抑制できるように注入条件を制御すれば、ソース/ドレイン領域へのボロン注入を省いても構わない。

【0045】このようにゲート絶縁型電界効果トランジスタを形成することによって、LDD領域内にボロンのピーク濃度を有し、LDD領域外の基板やチャネル濃度を従来の絶縁ゲート型電界効果トランジスタに対して変化させることなく形成しており、ソース/ドレイン中のBが欠陥を埋める為、アニールを行った時、チャネルの不純物はソース/ドレインへ増速拡散しない。これによりB-depletionを抑制できる。そのため、B-depletionによる $n^+/p$ 接合近傍のボロンの基板濃度低減を防ぎ、短チャネル効果を抑制することが可能となり、且つ、従来法に比べホットキャリア耐性を劣化させることなく、また逆短チャネル効果及び接合容量増大を抑制することができる。

【0046】(実施の形態5)図10にnチャネル絶縁ゲート型電界効果トランジスタの製造方法を示す。LDD領域を形成する工程、図6(a)までは実施の形態3と同様に行う。次に、酸化膜15を全面に50~100nm程度堆積する。

【0047】次に、酸化膜15を介して、 $^{11}\text{B}^+$ をイオン注入法により、10~30keV、 $1\times10^{12}\sim1\times10^{13}\text{cm}^{-2}$ 程度注入し、ボロン高濃度領域9を形成する。この時、注入するイオンは $^{11}\text{B}^+$ だけではなく、ボロンと導電型の不純物であればよく、例えば $^{49}\text{BF}_2^+$ を40keV~130keV、あるいは $^{115}\text{In}^+$ を100~240keVの注入エネルギーで注入してもよい。この際、次に形成するソース/ドレイン領域よりもピーク濃度が浅い領域にあり、ソース/ドレイン領域外における基板及びチャネルの濃度よりも高濃度で、且つ、ソース/ドレイン領域外のチャネル領域のボロン濃度がほとんど変化しないような注入条件を選ぶ必要がある。以上までの工程を図10(a)に示す。上述したようなある程度厚い絶縁膜15を介して、 $\text{B}^+$ イオン注入することによって不純物の注入条件をコントロールし易くすることができる。

【0048】次に、酸化膜16を100~200nmを堆積する。以上までの工程を図10(b)に示す。

【0049】続いて、酸化膜16を100~200nm堆積し、異方性ドライエッチングを行うことで、ゲート電極側壁膜6を形成する。この工程での構造の断面図を図10(c)に示す。

【0050】以下、実施の形態3に記載の方法で、ソース/ドレイン領域の形成等を行い、実施の形態2に示した絶縁ゲート型電界効果トランジスタが形成することができる。

【0051】以降の工程は実施の形態3と同様に形成する。LDD領域へのボロン注入だけで、短チャネル効果が抑制できるように注入条件を制御すれば、ソース/ドレイン領域へのボロン注入は省いても構わない。

【0052】このようにゲート絶縁型電界効果トランジスタを形成することによって、LDD領域内にボロンのピーク濃度を有し、LDD領域外の基板やチャネル濃度を従来の絶縁ゲート型電界効果トランジスタに対して変化させることなく形成しており、ソース/ドレイン中のBが欠陥を埋める為、アニールを行った時、チャネルの不純物はソース/ドレインへ増速拡散しない。これによりB-depletionを抑制できる。そのため、B-depletionによる $n^+/p$ 接合近傍のボロンの基板濃度低減を防ぎ、短チャネル効果を抑制することが可能となり、且つ、従来法に比べホットキャリア耐性を劣化させることなく、また逆短チャネル効果及び接合容量増大を抑制することができる。

【0053】

【発明の効果】本発明の絶縁ゲート型電界効果トランジスタによって、ソース/ドレイン領域と逆導電型の不純物がソース/ドレイン注入によって生じた欠陥に前記不純物が偏析し、ソース/ドレイン近傍の基板の濃度を高めることなく、ソース/ドレイン近傍の基板濃度を高めることなく、ソース/ドレイン近傍の不純物濃度の減少を防ぐことができる。これにより、ホットキャリア及び逆短チャネル効果を抑え、かつ接合容量を抑えつつ、短チャネル効果を抑制できる。

【0054】また、LDD領域内にもLDD領域と逆導電型の不純物を含有させることによって、更に短チャネル効果を抑制することができ、良好な絶縁ゲート型電界効果トランジスタを提供することができる。

【0055】また、ソース/ドレイン領域と逆導電型の不純物がソース/ドレイン内でピークを持つので、チャネル領域及びソース/ドレイン領域下部の濃度にほとんど変化を与えないのでソース/ドレイン接合容量を小さくできる。

【0056】また、上述のソース/ドレイン及びLDD領域と逆導電型の不純物として通常ボロンが使用されるが、Inを用いることによって不純物拡散の分布を制御し易くできる。

【0057】本発明の絶縁ゲート型電界効果トランジスタの製造方法は、ある程度厚い膜厚の絶縁膜を積層した

後、上述のソース/ドレイン及びLDD領域と逆導電型の不純物を注入することによって注入エネルギーの選択範囲を大きくすることができ、よりホットキャリア及び逆短チャネル効果を抑え、かつ接合容量を抑えつつ、短チャネル効果を抑制を行い易くできる。

【図面の簡単な説明】

【図1】本発明に係る絶縁ゲート型電界効果トランジスタを示す断面図である。

【図2】本発明に係る絶縁ゲート型電界効果トランジスタのソース/ドレイン領域の不純物の濃度分布を示す図である。

【図3】比較のために、本発明に係る絶縁ゲート型電界効果トランジスタのチャネル領域の不純物の濃度分布を示す図である。

【図4】本発明に係る絶縁ゲート型電界効果トランジスタを示す断面図である。

【図5】本発明に係る絶縁ゲート型電界効果トランジスタのLDD領域の不純物の濃度分布を示す図である。

【図6】本発明に係る絶縁ゲート型電界効果トランジスタの製造工程を示す断面図である。

【図7】本発明に係る絶縁ゲート型電界効果トランジスタの製造工程を示す断面図である。

【図8】本発明に係る絶縁ゲート型電界効果トランジスタの製造工程を示す断面図である。

【図9】本発明に係る絶縁ゲート型電界効果トランジスタの製造工程を示す断面図である。

【図10】本発明に係る絶縁ゲート型電界効果トランジスタの製造工程を示す断面図である。

【図11】従来の本発明に係る絶縁ゲート型電界効果トランジスタの製造工程を示す断面図である。

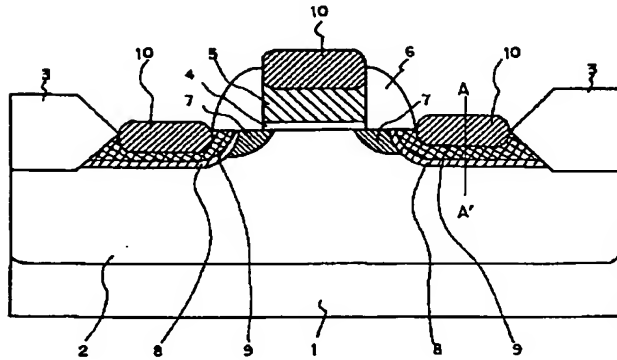
【図12】従来の本発明に係る絶縁ゲート型電界効果トランジスタの製造工程を示す断面図である。

【図13】従来の本発明に係る絶縁ゲート型電界効果トランジスタの製造工程を示す断面図である。

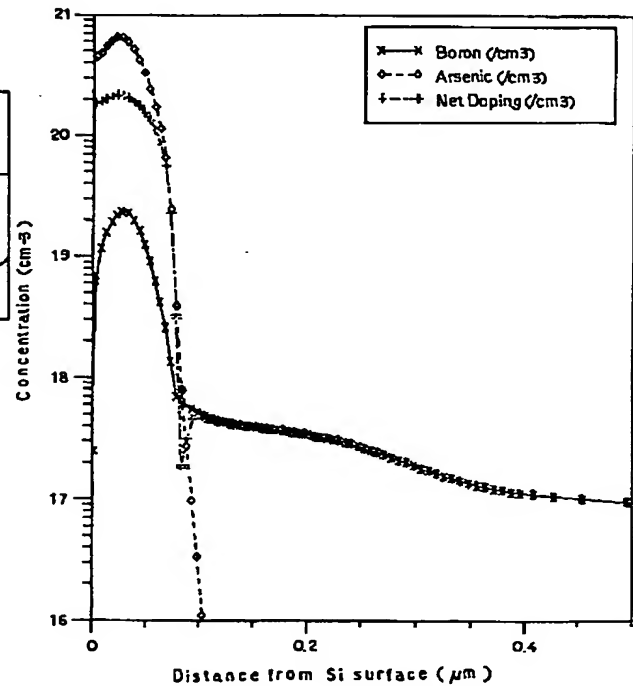
【符号の説明】

- 1 シリコン基板
- 2 pウエル
- 3 素子分離膜
- 4 ゲート絶縁膜
- 5 多結晶シリコン膜
- 6 ゲート電極側壁膜
- 7 LDD領域
- 8 ソース/ドレイン領域
- 9、11 ボロン高濃度領域
- 10 シリサイド膜
- 12、14 シリコン窒化膜
- 13、15、16 酸化膜

【図1】

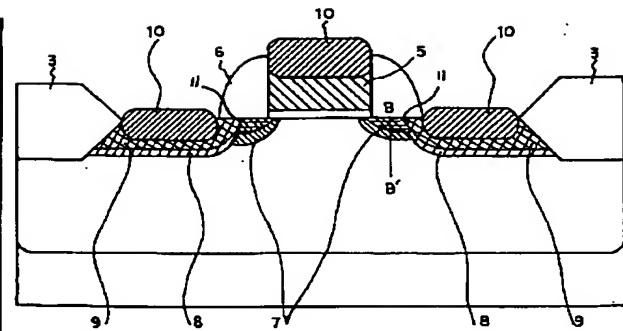


【図2】

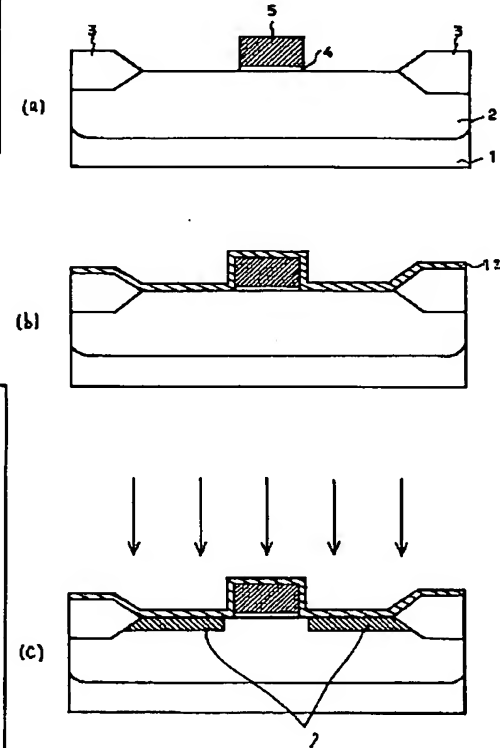




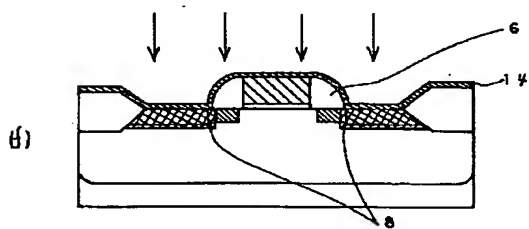
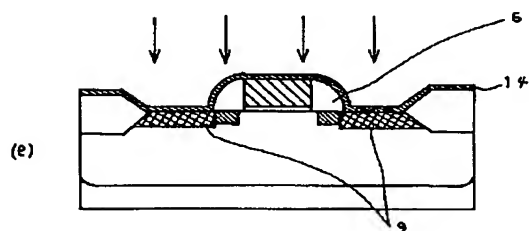
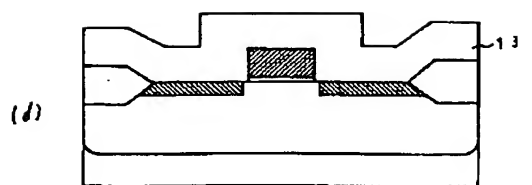
【図4】



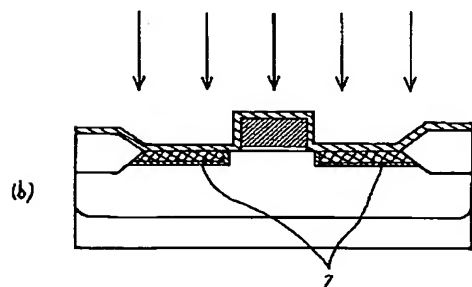
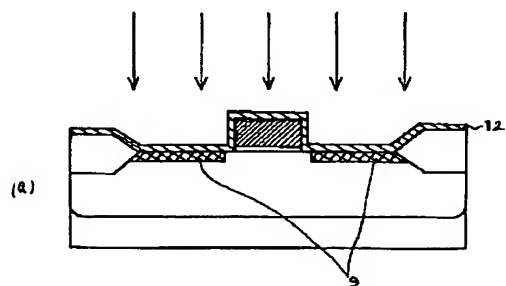
【図 5】



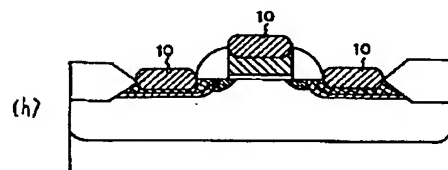
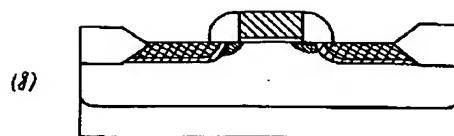
【図 7】



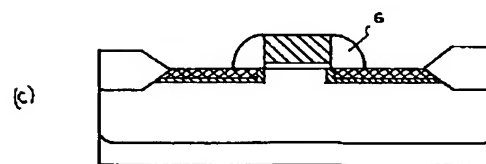
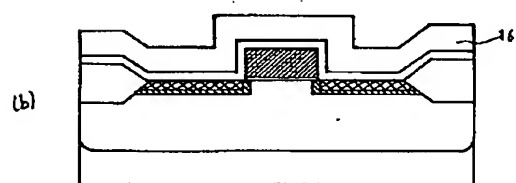
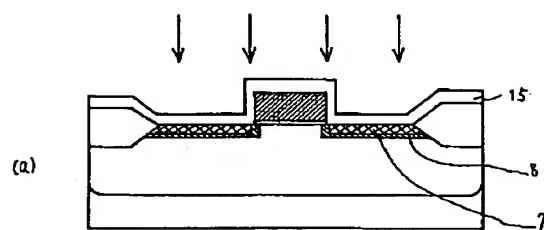
【図 9】



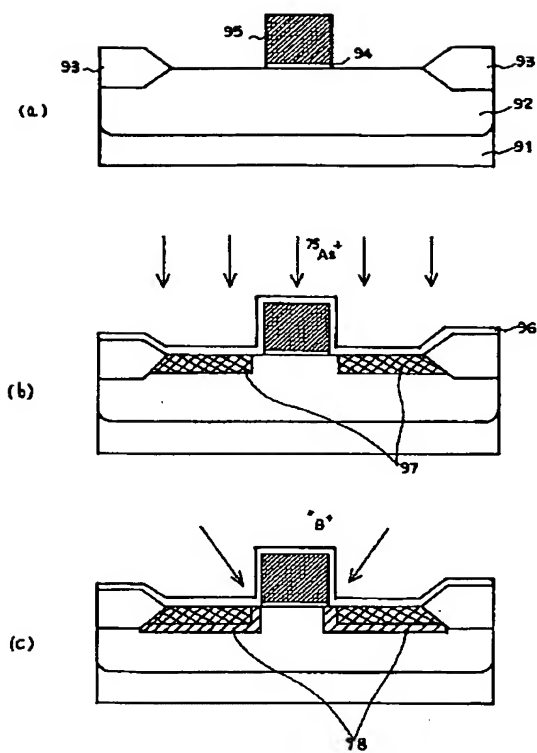
【図 8】



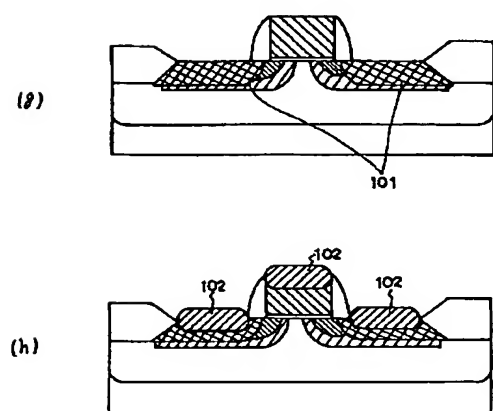
【図 10】



【図11】



【図13】



【図12】

